

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-128266

(43)Date of publication of application : 22.04.2004

(51)Int.Cl.

H01L 21/8242
G11C 15/04
H01L 27/108

(21)Application number : 2002-291218

(71)Applicant : FUJITSU LTD

(22)Date of filing : 03.10.2002

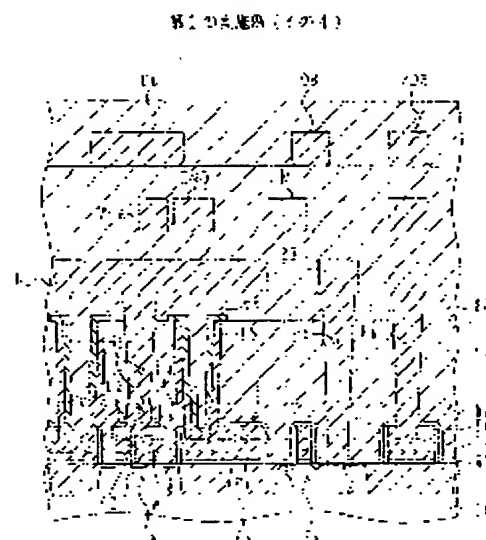
(72)Inventor : ONODA MICHIIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of reducing the size of cells and increasing the capacity of capacitors.

SOLUTION: Each cell of a plurality of cells includes a cell transistor (Tr), a 1st search Tr, a 2nd search Tr, and a capacitor. The 1st search Tr and the 2nd search Tr are mutually connected in series to constitute a search circuit. A 2nd impurity diffusion area of the cell Tr is connected to an accumulation electrode of the capacitor and a gate electrode of the 1st search Tr. A word line is connected to the gate electrode of the cell Tr of the corresponding cell, and a bit line is connected to the 1st impurity diffusion area of the corresponding cell Tr. A data bus line is connected to the gate electrode of the corresponding 2nd search Tr, and a match line is connected to one terminal of the corresponding search circuit. A ground line impresses ground voltage to the other terminal of the search circuit. These bit line, data bus line, match line and the ground line are arranged on a wiring layer which is above a capacitor arrangement layer.



LEGAL STATUS

[Date of request for examination]

30.09.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-128266
(P2004-128266A)

(43) 公開日 平成16年4月22日(2004. 4. 22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8242	H O 1 L 27/10 6 8 1 F	5 F 0 8 3
G 1 1 C 15/04	G 1 1 C 15/04 6 0 1 A	
H O 1 L 27/108	H O 1 L 27/10 6 2 1 C	
	H O 1 L 27/10 3 2 1	

審査請求 未請求 請求項の数 10 O L (全 31 頁)

(21) 出願番号	特願2002-291218 (P2002-291218)	(71) 出願人	000005223
(22) 出願日	平成14年10月3日 (2002. 10. 3)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100091340
			弁理士 高橋 敬四郎
		(74) 代理人	100105887
			弁理士 来山 幹雄
		(72) 発明者	小野田 道広
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム (参考)	5F083 AD01 AD31 GA09 JA33 JA35 JA36 JA37 JA39 JA40 JA53 JA56 KA20 LA01 LA21 MA02 MA04 MA06 MA18 MA19 MA20 NA01 PR40

(54) 【発明の名称】 半導体装置

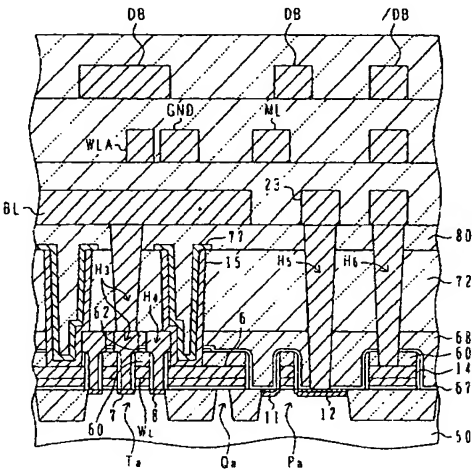
(57) 【要約】

【課題】セルサイズを縮小し、キャパシタ容量を大きくすることが可能な半導体装置を提供する。

【解決手段】複数のセルの各々が、セルTr、第1サーチTr、第2サーチTr、及びキャパシタを含む。第1サーチTrと第2サーチTrとが相互に直列に接続されてサーチ回路を構成する。セルTrの第2の不純物拡散領域がキャパシタの蓄積電極及び第1サーチTrのゲート電極に接続される。ワードラインが、対応するセルのセルTrのゲート電極に接続され、ビットラインが、対応するセルTrの第1の不純物拡散領域に接続される。データバスラインが、対応する第2サーチTrのゲート電極に接続され、マッチラインが、対応するサーチ回路の一方の端子に接続される。グランドラインが、サーチ回路の他方の端子に接地電圧を印加する。ビットライン、データバスライン、マッチライン、及びグランドラインが、キャパシタの配置された層よりも上の配線層に配置されている。

【選択図】 図7

第1の実施例 (その4)



【特許請求の範囲】

【請求項 1】

半導体基板の表面上に、相互に交差する第 1 及び第 2 の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第 1 のサーチトランジスタ、第 2 のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第 1 及び第 2 の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第 1 のサーチトランジスタと第 2 のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第 2 の不純物拡散領域が該キャパシタの蓄積電極及び該第 1 のサーチトランジスタのゲート電極に接続された前記セルと、

10

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に 1 つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第 1 の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に 1 つのセルが対応し、対応するセルの第 2 のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第 1 の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第 2 の端子に接地電圧を印加するグランドラインとを有し、

20

前記ビットライン、データバスライン、マッチライン、及びグランドラインが、前記キャパシタの配置された層よりも上の配線層に配置されている半導体装置。

【請求項 2】

前記第 2 のサーチトランジスタの第 1 の不純物拡散領域、ゲート電極、及び第 2 の不純物拡散領域が、この順番に第 1 の方向に沿って並び、前記メモリセルトランジスタの第 1 の不純物拡散領域、ゲート電極、及び第 2 の不純物拡散領域、前記第 2 のサーチトランジスタのゲート電極が、第 2 の方向に沿ってこの順番に並び、前記第 1 のサーチトランジスタのゲート電極が、第 2 の方向に関して、前記メモリセルトランジスタの第 2 の不純物拡散領域と重なる位置まで延在している請求項 1 に記載の半導体装置。

30

【請求項 3】

前記ビットラインが、前記キャパシタが配置された層よりも 1 つ上の配線層に配置され、前記第 1 及び第 2 のサーチトランジスタが、前記第 1 の方向に延在する第 1 の活性領域内に配置され、該第 1 及び第 2 のサーチトランジスタのゲート電極の各々が該第 1 の活性領域と交差し、前記ビットラインが、前記第 1 のサーチトランジスタのゲート電極と前記第 1 の活性領域との交差箇所と重なる位置で前記第 1 の活性領域と交差している請求項 2 に記載の半導体装置。

【請求項 4】

前記ビットラインが、前記マッチライン、データバスライン、及びグランドラインのいずれよりも上の配線層に配置されている請求項 1 または 2 に記載の半導体装置。

【請求項 5】

40

さらに、前記第 1 及び第 2 のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜を貫通し、前記メモリセルトランジスタの第 2 の不純物拡散領域まで達する第 1 のビアホールと、

前記第 1 のビアホール内に埋め込まれた第 1 の導電性部材と、

前記第 1 の層間絶縁膜の上に形成された第 2 の層間絶縁膜と、

前記半導体基板の表面の法線に平行な視線で見たとき、前記第 1 の導電性部材及び前記第 1 のサーチトランジスタのゲート電極に重なり、該第 1 の導電性部材と重なる領域においては、前記第 2 の層間絶縁膜を貫通して該第 1 の導電性部材の上面まで達し、該第 1 のサーチトランジスタのゲート電極と重なる領域においては、前記第 2 の層間絶縁膜及び前記

50

第 1 の層間絶縁膜を貫通し、前記第 1 のサーチトランジスタのゲート電極の上面まで達するキャパシタ用ホールとを含み、

前記キャパシタが、

前記キャパシタ用ホールの内面を覆い、前記第 1 の導電性部材と前記第 1 のサーチトランジスタのゲート電極との双方に接続された蓄積電極と、

前記蓄積電極の表面を覆うキャパシタ誘電体膜と、

前記キャパシタ誘電体膜を介して、前記蓄積電極とともに前記キャパシタを構成するプレート電極と

を含む請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 6】

さらに、前記第 1 及び第 2 のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜を貫通し、前記半導体基板の表面の法線に平行な視線で見たとき、前記メモリセルトランジスタの第 2 の不純物拡散領域及び前記第 1 のサーチトランジスタのゲート電極に重なり、前記メモリセルトランジスタの第 2 の不純物拡散領域及び前記第 1 のサーチトランジスタのゲート電極まで達する第 1 のビアホールと、

前記第 1 のビアホール内に埋め込まれた第 1 の導電性部材と

を含み、前記キャパシタが、前記第 1 の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第 1 の導電性部材に接続されている請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 7】

さらに、

前記メモリセルトランジスタのゲート電極の上面上、及び前記第 1 のサーチトランジスタのゲート電極の上面上に配置され、絶縁材料で形成されたゲート上部膜と、

前記メモリセルトランジスタのゲート電極の側面とその上のゲート上部膜の側面、及び前記第 1 のサーチトランジスタのゲート電極とその上のゲート上部膜の側面を覆い、前記ゲート上部膜とはエッチング特性の異なる絶縁材料で形成されたサイドウォールスペーサと

、前記第 1 及び第 2 のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜を貫通し、前記メモリセルトランジスタの第 2 の不純物拡散領域まで達し、側面の一部が前記サイドウォールスペーサで画定された第 1 のビアホールと、

前記第 1 のビアホール内に埋め込まれた第 1 の導電性部材と、

前記第 1 の層間絶縁膜の上に形成された第 2 の層間絶縁膜と、

前記第 2 の層間絶縁膜を貫通し、前記第 1 の導電性部材の上面まで達する第 2 のビアホールと、

前記第 2 の層間絶縁膜、前記第 1 の層間絶縁膜、及び前記第 1 のサーチトランジスタのゲート電極上のゲート上部膜を貫通し、該第 1 のサーチトランジスタのゲート電極まで達する第 3 のビアホールと、

前記第 2 のビアホール内に埋め込まれた第 2 の導電性部材と、

前記第 3 のビアホール内に埋め込まれた第 3 の導電性部材と

を含み、前記キャパシタが前記第 2 の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第 2 の導電性部材及び第 3 の導電性部材に接触する請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 8】

半導体基板の表面上に、相互に交差する第 1 及び第 2 の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第 1 のサーチトランジスタ、第 2 のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第 1 及び第 2 の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第 1 のサーチトランジスタと第 2 のサーチトランジスタとが

10

20

30

40

50

相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第2の不純物拡散領域が該キャパシタの蓄積電極及び該第1のサーチトランジスタのゲート電極に接続された前記セルと、

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に1つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第1の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に1つのセルが対応し、対応するセルの第2のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第1の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第2の端子に接地電圧を印加するグランドラインと前記第1及び第2のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記メモリセルトランジスタの第2の不純物拡散領域まで達する第1のビアホールと、

前記第1のビアホール内に埋め込まれた第1の導電性部材と、

前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記半導体基板の表面の法線に平行な視線で見たとき、前記第1の導電性部材及び前記第1のサーチトランジスタのゲート電極に部分的に重なり、該第1の導電性部材と重なる領域においては、前記第2の層間絶縁膜を貫通して該第1の導電性部材の上面まで達し、該第1のサーチトランジスタのゲート電極と重なる領域においては、前記第2の層間絶縁膜及び前記第1の層間絶縁膜を貫通し、前記第1のサーチトランジスタのゲート電極の上面まで達するキャパシタ用ホールとを有し、

前記キャパシタが、

前記キャパシタ用ホールの内面を覆い、前記第1の導電性部材及び前記第1のサーチトランジスタのゲート電極に接続された蓄積電極と、

前記蓄積電極の表面を覆うキャパシタ誘電体膜と、

前記キャパシタ誘電体膜を介して、前記蓄積電極とともに前記キャパシタを構成するプレート電極と

を含む半導体装置。

【請求項9】

半導体基板の表面上に、相互に交差する第1及び第2の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第1のサーチトランジスタ、第2のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第1及び第2の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第1のサーチトランジスタと第2のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第2の不純物拡散領域が該キャパシタの蓄積電極及び該第1のサーチトランジスタのゲート電極に接続された前記セルと、

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に1つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第1の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に1つのセルが対応し、対応するセルの第2のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第1の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第2の端子に接地電圧を印加するグランドラインと前記第1及び第2のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆

10

20

30

40

50

う第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記半導体基板の表面の法線に平行な視線で見たとき、前記メモリセルトランジスタの第2の不純物拡散領域及び前記第1のサーチトランジスタのゲート電極に重なり、前記メモリセルトランジスタの第2の不純物拡散領域及び前記第1のサーチトランジスタのゲート電極まで達する第1のビアホールと、

前記第1のビアホール内に埋め込まれた第1の導電性部材と

を有し、前記キャパシタが、前記第1の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第1の導電性部材に接続されている半導体装置。

【請求項10】

半導体基板の表面上に、相互に交差する第1及び第2の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第1のサーチトランジスタ、第2のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第1及び第2の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第1のサーチトランジスタと第2のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第2の不純物拡散領域が該キャパシタの蓄積電極及び該第1のサーチトランジスタのゲート電極に接続された前記セルと、

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に1つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第1の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に1つのセルが対応し、対応するセルの第2のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第1の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第2の端子に接地電圧を印加するグランドラインと前記メモリセルトランジスタのゲート電極の上面上、及び前記第1のサーチトランジスタのゲート電極の上面上に配置され、絶縁材料で形成されたゲート上部膜と、

前記メモリセルトランジスタのゲート電極の側面とその上のゲート上部膜の側面、及び前記第1のサーチトランジスタのゲート電極とその上のゲート上部膜の側面を覆い、前記ゲート上部膜とはエッチング特性の異なる絶縁材料で形成されたサイドウォールスペーサと

、
前記第1及び第2のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記メモリセルトランジスタの第2の不純物拡散領域まで達し、側面の一部が前記サイドウォールスペーサで画定された第1のビアホールと、

前記第1のビアホール内に埋め込まれた第1の導電性部材と、

前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記第2の層間絶縁膜を貫通し、前記第1の導電性部材の上面まで達する第2のビアホールと、

前記第2の層間絶縁膜、前記第1の層間絶縁膜、及び前記第1のサーチトランジスタのゲート電極上のゲート上部膜を貫通し、該第1のサーチトランジスタのゲート電極まで達する第3のビアホールと、

前記第2のビアホール内に埋め込まれた第2の導電性部材と、

前記第3のビアホール内に埋め込まれた第3の導電性部材と

を含み、前記キャパシタが前記第2の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第2の導電性部材及び第3の導電性部材に接触する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

30

40

50

本発明は、半導体装置に関し、特に記憶部にD R A Mを採用した半導体連想記憶装置（C A M : C o n t e n t A d d r e s s a b l e M e m o r y）に関する。

【0002】

【従来の技術】

図18に、特許文献1に開示された半導体連想記憶装置の部分断面図を示す。

必要なウェルを形成したシリコン基板501の表面に、シャロートレンチアイソレーション（S T I）による素子分離絶縁領域502が形成されている。素子分離絶縁領域502に画定された活性領域の表面上に、ゲート絶縁膜503が形成されている。ゲート絶縁膜503の一部の領域上に、論理素子用M O S F E Tのゲート電極504及びメモリ素子用M O S F E Tのゲート電極505が形成されている。なお、論理素子用M O S F E Tは、1つのセルごとに2個配置されるため、図18には、ゲート電極504が2個示されている。

10

【0003】

ゲート電極504の両側の基板表層部に、ソース及びドレイン領域507が形成され、ゲート電極505の両側の基板表層部にソース及びドレイン領域508が形成されている。ゲート電極504、ソース及びドレイン領域507により論理素子用M O S F E Tが構成され、ゲート電極505、ソース及びドレイン領域508によりメモリ素子用M O S F E Tが構成される。

【0004】

化学気相成長（C V D）により形成された酸化シリコン膜511が、ゲート電極504及び505を覆う。酸化シリコン膜511の上に、表面を平坦化された酸化シリコン膜512が形成されている。所定の箇所に、酸化シリコン膜512及び511を貫通するビアホール513が形成されている。

20

【0005】

酸化シリコン膜512の上に、シリコン層と金属シリサイド層との積層構造を有するビットラインB L及びマッチラインM Lが形成されている。ビットラインB Lは、ビアホール513内を経由して、メモリ素子用M O S F E Tのソース及びドレイン領域508の一方に接続されている。マッチラインM Lは、他のビアホール513内を経由して、論理素子用M O S F E Tのソース及びドレイン領域507の一方に接続されている。

【0006】

ビットラインB L及びマッチラインM Lを覆うように、酸化シリコン膜512の上に、ボロフォスフォシリケートガラス（B P S G）からなる層間絶縁膜515が形成されている。所定の箇所に、層間絶縁膜515、酸化シリコン膜512及び511を貫通するビアホール516が形成されている。

30

【0007】

層間絶縁膜515の上に、キャパシタの蓄積電極517が形成されている。蓄積電極517は、ビアホール516内を経由してメモリ素子用M O S F E Tのソース及びドレイン領域508の一方に接続されるとともに、他のビアホール516内を経由して、論理素子用M O S F E Tのゲート電極504に接続されている。キャパシタ誘電体膜518が蓄積電極517を覆い、キャパシタ誘電体膜518の上にプレート電極519が形成されている。

40

【0008】

ビットラインB Lをソース及びドレイン領域508の一方に接続するためのビアホール513とゲート電極505との間、及び蓄積電極517をソース及びドレイン領域508の他方に接続するためのビアホール516とゲート電極505との間に、位置あわせ余裕分の間隔が確保されている。

【0009】

【特許文献1】

特開2001-338990号公報

【0010】

50

【発明が解決しようとする課題】

C A Mの製造コスト削減のために、セルサイズの縮小化が望まれている。さらに、メモリ素子のリフレッシュ特性改善のために、キャパシタ容量の増大が望まれている。

【0011】

本発明の目的は、セルサイズを縮小し、キャパシタ容量を大きくすることが可能な半導体装置を提供することである。

【0012】**【課題を解決するための手段】**

本発明の一観点によると、半導体基板の表面上に、相互に交差する第1及び第2の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第1のサーチトランジスタ、第2のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第1及び第2の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第1のサーチトランジスタと第2のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第2の不純物拡散領域が該キャパシタの蓄積電極及び該第1のサーチトランジスタのゲート電極に接続された前記セルと、相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に1つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第1の不純物拡散領域に接続されたビットラインと、相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に1つのセルが対応し、対応するセルの第2のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第1の端子に接続されたマッチラインと、前記複数のセルのサーチ回路の他方の第2の端子に接地電圧を印加するグラウンドラインとを有し、前記ビットライン、データバスライン、マッチライン、及びグラウンドラインが、前記キャパシタの配置された層よりも上の配線層に配置されている半導体装置が提供される。

【0013】

ビットライン、データバスライン、マッチライン、及びグラウンドラインを、キャパシタの配置された層よりも上の配線層に配置することにより、集積度を向上させることが可能になる。また、これらを金属配線で形成することにより、電気抵抗を小さくすることができる。

【0014】**【発明の実施の形態】**

図1(A)に、メモリ素子としてD R A Mを用いたC A Mの等価回路図を示す。繰り返し単位Uと/Uとが、1つのC A Mセル(基本単位)を構成する。半導体基板上に、複数のC A Mセルが行列状に配置されている。

【0015】

繰り返し単位Uの構成について説明する。繰り返し単位Uは、メモリセルトランジスタT a、第1のサーチトランジスタQ a、第2のサーチトランジスタP a、及びキャパシタC aを含む。各トランジスタは、ゲート電極と、第1及び第2の電流端子とを含む。

【0016】

メモリセルトランジスタT aの第2の電流端子がキャパシタC aの蓄積電極及び第1のサーチトランジスタQ aのゲート電極に接続されている。キャパシタC aの他方の電極(プレート電極)は接地されている。メモリセルトランジスタT aとキャパシタC aとが1つのメモリセルM C aを構成する。第1のサーチトランジスタQ aの第2の電流端子と第2のサーチトランジスタP aの第1の電流端子とが相互に接続され、サーチ回路を構成している。

【0017】

ワードラインW LとビットラインB Lとが相互に交差するように配置されている。ワードラインW LとビットラインB Lとの交差箇所に1つの繰り返し単位Uが配置される。ワー

ドラインWLは、対応する繰り返し単位UのメモリセルトランジスタTaのゲート電極に接続されている。ビットラインBLは、対応する繰り返し単位UのメモリセルトランジスタTaの第1の電流端子に接続されている。

【0018】

データバスラインDBとマッチラインMLとが相互に交差するように配置されている。データバスラインDBとマッチラインMLとの交差箇所に1つの繰り返し単位Uが配置される。データバスラインDBは、対応する繰り返し単位Uの第2のサーチトランジスタPaのゲート電極に接続されている。マッチラインMLは、対応する第2のサーチトランジスタPaの第2の電流端子に接続されている。

【0019】

グラウンドラインGNDが、各繰り返し単位Uの第1のサーチトランジスタQaの第1の電流端子に接地電圧を印加する。

繰り返し単位Uは、繰り返し単位Uと対称的な構成を有し、メモリセルトランジスタTb、第1のサーチトランジスタQb、第2のサーチトランジスタPb、及びキャパシタCbを含む。メモリセルトランジスタTbとキャパシタCbとが1つのメモリセルMCbを構成する。メモリセルトランジスタTbのゲート電極は、対応するワードラインWLに接続されている。第2のサーチトランジスタPbの第2の電流端子は、対応するマッチラインMLに接続されている。第2のサーチトランジスタPbのゲート電極は、データバスラインDBと対をなす反転データバスライン/DBに接続されている。メモリセルトランジスタTbのゲート電極は、ビットラインBLと対をなす反転ビットライン/BLに接続されている。

【0020】

メモリセルMcaのビットラインBLとメモリセルMCbの反転ビットライン/BLに、相補的な情報が供給される。メモリセルトランジスタTa及びTbが、同一のワードラインWLに印加された信号によりオン、オフを制御される。メモリセルトランジスタTa及びTbを介して、それぞれキャパシタCa及びCbに相補的な情報が書き込まれる。なお、後述するように、ドントケア状態を実現するために、ビットラインBLと反転ビットライン/BLとに、相補的ではなく同一の情報（後述するL状態）が供給される場合もある。

【0021】

サーチトランジスタPaとQaとの直列回路、及びサーチトランジスタPbとQbとの直列回路が、それぞれサーチ回路Lca及びLcbを構成する。

キャパシタCa及びCbの蓄積電極の電位が、それぞれサーチトランジスタQa及びQbのゲート電極に印加される。従って、サーチトランジスタQa及びQbのオン、オフ状態が、キャパシタCa及びCbの蓄積電極の電位によって制御される。

【0022】

データバスラインDB及び反転データバスライン/DBは、CAMセルに蓄積されたデータと比較される検索データを搬送する。

なお、図1(C)に示すように、第1のサーチトランジスタP(Pa、Pb)と第2のサーチトランジスタQ(Qa、Qb)は、その配置を交換してもよい。

【0023】

検索及び比較動作においては、マッチラインMLを論理「ハイ(H)」にプリチャージし、データバスラインDB及び反転データバスライン/DBに、それぞれ入力信号及びその相補信号を印加する。第2のサーチトランジスタPa及びPbの一方はオンになり、他方はオフになる。オンになった第2のサーチトランジスタPaまたはPbに直列接続された第1のサーチトランジスタQaまたはQbがオンであれば、プリチャージされたマッチラインMLの電荷が接地線GNDに放電され、マッチラインMLの電位が変化する。これは、検索データと蓄積データとのマッチまたはフィットが生じたことを示す。

【0024】

第2のサーチトランジスタPaまたはPbがオンになっても、それに直列接続された第1

10

20

30

40

50

のサーチトランジスタQ aまたはQ bがオフであれば、マッチラインM Lの電荷が放電されず、その電位はプリチャージされた状態に保たれる。これは、ミスマッチまたはミスを示す。すなわち、マッチラインM Lの電位変化は、H状態のメモリセル（キャパシタC aまたはC b）に接続されたサーチ回路L C aまたはL C bによって制御される。

【0025】

ビットラインB L及び反転ビットライン／B Lは、ビットライン駆動回路B L Dに接続され、ワードラインW Lは、ワードライン駆動回路W L Dに接続されている。また、データバスラインD B及び反転データバスライン／D Bは、データバスライン駆動回路D B Dに接続され、マッチラインM Lは、マッチライン駆動回路M L Dに接続されている。マッチライン駆動回路M L Dは、マッチラインM Lごとにセンスアンプを有する。このセンスアンプが、マッチラインM Lの電位変化を検出する。なお、データバスライン駆動回路D B Dは、外部信号が入力される端子そのものであってもよいし、外部信号を一時的に記憶するバッファ回路等であってもよい。

10

【0026】

図1（B）に、図1（A）に示したC A Mセルの論理値表を示す。D R A Mの欄は、メモリセルM C aの記憶情報、より具体的にはキャパシタC aの充電状態を示す。キャパシタC aの蓄積電極（第1のサーチトランジスタQ aのゲート電極に接続されている方の電極）が高電位に充電されている時がハイ（H）状態であり、低電位に充電されている時がロー（L）状態に対応する。

【0027】

キャパシタC bは、キャパシタC aに記憶された情報とは相補的な情報を記憶する。メモリセルM C aがH状態である場合、第1のサーチトランジスタQ aがオン状態になり、もう一方の第1のサーチトランジスタQ bがオフ状態になる。従って、オン状態の第1のサーチトランジスタQ aに直列接続された第2のサーチトランジスタP aがオン、すなわちデータバスラインD BがH状態の場合のみ、マッチラインM Lの電荷が放電され、電位が低下する。これにより、マッチラインM LがL状態になる。

20

【0028】

メモリセルM C aがL状態の場合、第1のサーチトランジスタQ bがオン状態になる。従って、オン状態の第1のサーチトランジスタQ bに直列接続された第2のサーチトランジスタP bがオン、すなわち反転データバスライン／D BがH状態の場合のみ、マッチラインM Lの電荷が放電され、電位が低下する。これにより、マッチラインM LがL状態になる。上記の場合以外では、マッチラインM LはH状態に保たれる。

30

【0029】

また、2組のメモリセルM C a及びM C bが共にL状態の場合には、データバスラインD Bの状態に関係なく、マッチラインM LがH状態に維持される。すなわち、データバスラインD Bの状態はドントケア（d o n ' t c a r e）である。このように、ドントケア状態を含めた3値論理を実現することができる。

【0030】

図2及び図3に、本発明の第1の実施例によるC A Mの1つのC A Mセルの各層の平面図を示す。

40

図2（A）に示すように、長方形のC A Mセル領域1が、行方向及び列方向に繰り返し配置されている。行方向及び列方向に隣接する2つのC A Mセル同士は、線対称なパターンを有する。C A Mセル1内の図の左半分及び右半分に、それぞれ図1（A）に示した繰り返し単位U及び／Uが配置される。繰り返し単位Uと／Uとは、相互に線対称の関係を有するため、ここでは繰り返し単位Uの構成について説明し、繰り返し単位／Uの説明は省略する。

【0031】

行方向に延在する活性領域2が、C A Mセル1内を通過する。活性領域3 a及び3 bが、C A Mセル1の上側の辺から下方に伸び、活性領域2の手前まで達する。横方向に延在するワードラインW Lが、活性領域3 a及び3 bと交差する。ワードラインW Lの両側の活

50

性領域 3 a 内に、ソース及びドレイン領域が配置され、ワードライン W₁ をゲート電極とするメモリセルトランジスタ T_a が形成される。このソース及びドレイン領域のうち活性領域 2 から遠い方の領域を第 1 の不純物拡散領域 7 と呼び、活性領域 2 に近い方の領域を第 2 の不純物拡散領域 8 と呼ぶこととする。

【0032】

活性領域 3 a の延長部分と活性領域 2 との交差する箇所において、ゲート電極 5 が活性領域 2 と交差する。ゲート電極 5 の両側の活性領域 2 内に、ソース及びドレイン領域が配置され、第 2 のサーチトランジスタ P_a が形成される。ゲート電極 5 と活性領域 2 との交差箇所よりも図の左側において、ゲート電極 6 が活性領域 2 と交差する。ゲート電極 6 の両側の活性領域 2 内にソース及びドレイン領域が配置され、第 1 のサーチトランジスタ Q_a が形成される。

10

【0033】

第 1 のサーチトランジスタ Q_a のソース及びドレイン領域のうちゲート電極 5 から遠い方の領域を第 1 の不純物拡散領域 9、ゲート電極 5 に近い方の領域を第 2 の不純物拡散領域 10 と呼ぶこととする。第 2 のサーチトランジスタ P_a のソース及びドレイン領域のうちゲート電極 6 に近い方の領域を第 1 の不純物拡散領域 11 と呼び、ゲート電極 6 から遠い方の領域を第 2 の不純物拡散領域 12 と呼ぶこととする。第 1 のサーチトランジスタ Q_a の第 2 の不純物拡散領域 10 と、第 2 のサーチトランジスタ P_a の第 1 の不純物拡散領域 11 とは、共通の不純物拡散領域で構成される。

【0034】

ゲート電極 6 が図の上方に延在し、列方向に関して、メモリセルトランジスタ T_a の第 2 の不純物拡散領域 8 と重なる位置まで達する。ゲート電極 6 の外周の一部が、第 2 の活性領域 8 の外周の一部とほぼ重なる。

20

【0035】

ゲート電極 5 が、CAMセル領域 1 の外周まで延在し、外周との交差箇所にビアホール H₁ が配置されている。第 1 のサーチトランジスタ Q_a の第 1 の不純物拡散領域 9 に対応する位置にビアホール H₂ が配置されている。メモリセルトランジスタ T_a の第 1 の不純物拡散領域 7 及び第 2 の不純物拡散領域 8 に対応する位置に、それぞれビアホール H₃ 及び H₄ が配置されている。第 2 のサーチトランジスタ P_a の第 2 の不純物拡散領域 12 に対応する位置にビアホール H₅ が配置されている。ビアホール H₁、H₃ 及び H₄ は、行方向に関して同じ位置に配置されている。すなわち、列方向に延びる 1 本の仮想直線上に配置されている。

30

【0036】

メモリセルトランジスタ T_a の第 2 の不純物拡散領域 8 及び第 1 のサーチトランジスタ Q_a のゲート電極 6 の双方に部分的に重なるように、キャパシタの蓄積電極 15 が配置されている。蓄積電極 15 は、ビアホール H₄ 内を経由して、メモリセルトランジスタ T_a の第 2 の不純物拡散領域 8 に接続されている。

【0037】

繰り返し単位 U 内に、繰り返し単位 U 内のビアホール H₁ ~ H₄ に対応するビアホール H₆ ~ H₉ が配置されている。ビアホール H₅ は、繰り返し単位 U と U との境界線上に配置されており、両方で共有される。繰り返し単位 U 内のゲート電極 5 と対称の位置に、メモリセルトランジスタ P_b のゲート電極 14 が配置されている。

40

【0038】

図 2 (B) に、蓄積電極 15 を含むキャパシタが配置された層よりも上の第 1 層目の金属配線層のパターンを示す。ビットライン B₁ 及び反転ビットライン / B₁ が列方向に延在し、CAMセル領域 1 内を通過する。ビットライン B₁ は、ビアホール H₃ 内を経由して、サーチトランジスタ T_a の第 1 の不純物拡散領域 7 に接続されている。ビアホール H₃ と H₁ とが、行方向に関して同じ位置に配置されているため、ビットライン B₁ は、ビアホール H₁ に近づくに従って行方向の位置を変え、ビアホール H₁ と H₂ との間、すなわち図 2 (A) に示した第 1 のサーチトランジスタ Q_a のゲート電極 6 の上方を通過する。

50

【0039】

反転ビットライン／BLは、ビットラインBLと線対称な形状を有し、ビアホールH₈内を經由して、メモリセルトランジスタT_bの第1の不純物拡散領域に接続される。

【0040】

ビアホールH₁、H₂、及びH₅に対応する位置に、それぞれ孤立導電膜21、22、23が配置されている。ビアホールH₂から列方向にずれた位置に、孤立導電膜22を上層配線に接続するためのビアホールH₁₂が配置されている。ビアホールH₅から列方向にずれた位置に、孤立導電膜23を上層配線に接続するためのビアホールH₁₁が配置されている。ビアホールH₁と同じ位置に、孤立導電膜21を上層配線に接続するためのビアホールH₁₀が配置されている。

10

【0041】

図3(C)に、第2層目の配線のパターンを示す。列方向に延在する補助ワードラインWLA、グラウンドラインGND、及びマッチラインMLが、CAMセル領域1内を通過している。補助ワードラインWLAは、CAMセル領域1の外側の所定の複数の箇所で下層のワードラインWLに接続されている。

【0042】

グラウンドラインGNDは、ビアホールH₁₂内、図2(B)に示した孤立導電膜22、ビアホールH₂内を經由して、図2(A)に示した第1のサーチトランジスタQ_aの第1の不純物拡散領域9に接続されている。マッチラインMLは、ビアホールH₁₁内、図2(B)に示した孤立導電膜23、及びビアホールH₅内を經由して、図2(A)に示した第2のサーチトランジスタP_aの第2の不純物拡散領域12に接続されている。ビアホールH₁₀に対応する位置に孤立導電膜31、及び孤立導電膜31を上層配線に接続するためのビアホールH₁₂が配置されている。

20

【0043】

図3(D)に、第3層目の配線のパターンを示す。列方向に延在するデータバスラインDB及び反転データバスライン／DBが、CAMセル領域1内を通過している。データバスラインDBは、ビアホールH₁₂内、図3(C)に示した孤立導電膜31、ビアホールH₁₀内、図2(B)に示した孤立導電膜21、及びビアホールH₁内を經由して、図2(A)に示した第2のサーチトランジスタP_aのゲート電極5に接続されている。

【0044】

反転データバスライン／DBは、データバスラインDBと同様の接続構造により、図2(A)に示した繰り返し単位／U内の第2のサーチトランジスタT_bのゲート電極に接続されている。

30

【0045】

次に、図4～図7を参照して、第1の実施例によるCAMの製造方法について説明する。図4～図7の各図は、図2(A)の一点鎖線A4-A4における断面図に相当する。

【0046】

図4(A)に示すように、シリコンからなる半導体基板50の表層部に、STIにより素子分離絶縁領域51を形成する。素子分離絶縁領域51により、メモリセルトランジスタ用の活性領域3a及びサーチトランジスタ用の活性領域2が画定される。必要なウェルを形成し、閾値電圧制御のためのイオン注入を行う。

40

【0047】

活性領域3aの表面上に、酸化シリコンからなる厚さ8nmのゲート絶縁膜55を形成するとともに、もう一方の活性領域2の表面上に酸化シリコンからなる厚さ4nmのゲート絶縁膜56を形成する。

【0048】

以下、2種類の厚さのゲート絶縁膜を形成する方法を簡単に説明する。まず、すべての活性領域の表面上に、水蒸気を用いた熱酸化により、厚いゲート絶縁膜55よりもやや薄い酸化シリコン膜を形成する。活性領域3aの表面をレジストパターンで覆い、もう一方の活性領域2の上に形成された酸化シリコン膜を除去する。

50

【0049】

レジストパターンを除去し、全面を乾燥酸素によって熱酸化し、活性領域2の表面上に薄いゲート絶縁膜56を形成する。このとき、活性領域3aの表面上に残っている厚いゲート絶縁膜55がやや厚くなる。

【0050】

ゲート絶縁膜55及び56を覆うように、基板全面上に、ゲート電極となる厚さ50nmのアモルファスシリコン膜58をCVDにより形成する。NチャネルMOSトランジスタのゲート電極となる領域にリン(P)を注入し、PチャネルMOSトランジスタのゲート電極となる領域にボロン(B)を注入する。

【0051】

アモルファスシリコン膜58の上に、厚さ100nmのタングステンシリサイド膜59をCVDにより形成する。さらにその上に、厚さ170nmの酸化シリコン膜60をCVDにより形成する。

【0052】

図4(B)に示すように、ゲート絶縁膜55、56から酸化シリコン膜60までの4層をパターンニングし、アモルファスシリコン膜とタングステンシリサイド膜との2層構造を有するゲート電極5、6、14及びワードラインWL等を形成する。ゲート電極5、6、14及びワードラインWLの上には、酸化シリコン膜60が残っている。

【0053】

メモリセルトランジスタのソース及びドレイン領域形成のためのイオン注入、及びサーチトランジスタのソース及びドレインのエクステンション部を形成するためのイオン注入を行う。

【0054】

基板全面を覆うように、厚さ60nmの窒化シリコン膜62を形成する。メモリセルトランジスタTa等の配置される領域をレジストパターンで覆い、窒化シリコン膜62を異方性エッチングする。これにより、メモリセルトランジスタTa等の配置される領域には窒化シリコン膜62が残り、サーチトランジスタPa及びQaのゲート電極5、6の側面上に、窒化シリコン膜62の一部からなるサイドウォールスペーサ63が残る。窒化シリコン膜62の異方性エッチング後、メモリセルトランジスタTaの配置される領域を覆っていたレジストパターンを除去する。

【0055】

サーチトランジスタPa及びQaのソース及びドレイン領域(不純物拡散領域11及び12等)を形成するためのイオン注入を行う。メモリセルトランジスタTaのソース及びドレイン領域(不純物拡散領域7及び8等)は、窒化シリコン膜62を形成する前に行ったイオン注入により形成される。サーチトランジスタPa、Qaのソース及びドレイン領域上に金属シリサイド膜65、例えばCoSi膜を形成する。

【0056】

図4(C)に示すように、基板全面上に厚さ25nmの窒化シリコン膜67を形成する。さらにその上にBPSSG膜68を堆積させ、リフロー、及び化学機械研磨(CMP)を行う。CMP後のBPSSG膜68の厚さが約700nmになる。

【0057】

図5(D)に示すように、BPSSG膜68の上にレジスト膜70を形成する。メモリセルトランジスタTaの不純物拡散領域7及び8の上方に、レジスト膜70を貫通する開口を形成する。基板表面の法線に平行な視線で見たとき、この開口の一部がメモリセルトランジスタTaのゲート電極(ワードラインWL)と重なっていてもよい。レジスト膜70をマスクとして、BPSSG膜68をエッチングし、ビアホールH₃及びH₄を形成する。この時点では、ビアホールH₃及びH₄の内面に窒化シリコン膜67が露出している。

【0058】

図5(E)に示すように、窒化シリコン膜67及び62を異方性エッチングする。異方性エッチング後、レジスト膜70を除去する。これにより、ビアホールH₃及びH₄の底面

10

20

30

40

50

に、それぞれメモリセルトランジスタT aの第1の不純物拡散領域7及び第2の不純物拡散領域8が露出する。ゲート電極(ワードラインWL)の側面上には、窒化シリコン膜62及び67が残り、上面上には酸化シリコン膜60が配置されているため、ワードラインWLはビアホールH₃及びH₄の内面に露出しない。このように、ビアホールH₃及びH₄を、ワードラインWLに対して自己整合的に形成することができる。

【0059】

図5(F)に示すように、ビアホールH₃及びH₄内に、不純物がドーパされたアモルファスシリコンからなる導電性プラグを埋め込む。この導電性プラグは、厚さ200nmのアモルファスシリコン膜の堆積とCMPにより形成することができる。

【0060】

BPSG膜68の上に、BPSGからなる厚さ1200nmの層間絶縁膜72を形成する。層間絶縁膜72は、BPSG膜を堆積させた後、リフローさせることにより形成することができる。

【0061】

図6(G)に示すように、層間絶縁膜72、BPSG膜68、窒化シリコン膜67、62、及び酸化シリコン膜60を貫通し、第1のサーチトランジスタQ aのゲート電極6の上表面まで達するキャパシタ用ホール75を形成する。キャパシタ用ホール75は、図2(A)に示した蓄積電極15と同一の平面形状を有し、ビアホールH₄及びゲート電極6に部分的に重なる。ビアホールH₄に重なる領域においては、キャパシタ用ホール75の底面に、ビアホールH₄内に埋め込まれた導電性プラグの上表面が露出する。

【0062】

層間絶縁膜72の上表面及びキャパシタ用ホール75の内面を覆うように、不純物がドーパされた厚さ50nmのアモルファスシリコン膜を堆積させる。このアモルファスシリコン膜を化学機械研磨することにより、キャパシタ用ホール75の内面上に、蓄積電極15を残す。蓄積電極15は、ビアホールH₄内の導電性プラグを介してメモリセルトランジスタT aの第2の不純物拡散領域8に接続されるとともに、第1のサーチトランジスタQ aのゲート電極6に直接接続される。

【0063】

蓄積電極15の表面の粗面化処理を行う。粗面化された蓄積電極15の表面上に、窒化シリコンからなる厚さ5nmのキャパシタ誘電体膜76を形成する。図6(G)では、キャパシタ誘電体膜76は1本の実線で示されている。

【0064】

基板全面上に、不純物がドーパされた厚さ100nmのアモルファスシリコン膜を堆積させ、パターニングすることにより、プレート電極77を残す。プレート電極77は、図2(A)に示した蓄積電極15を覆うとともに、複数のCAMセル領域に跨って行方向に延在する。さらに、列方向に隣り合うプレート電極同士が、ビアホールH₃及びH₇と重ならない位置で、相互に連絡している。

【0065】

図6(H)に示すように、層間絶縁膜72の上に、酸化シリコンからなる厚さ500nmの層間絶縁膜80を形成する。層間絶縁膜80は、高密度プラズマを用いたCVDにより酸化シリコン膜を堆積させた後、CMPを行うことにより形成される。

【0066】

メモリセルトランジスタT aの第1の不純物拡散領域7に対応する位置に、層間絶縁膜80及び72を貫通するビアホールH₃を形成する。第2のサーチトランジスタP aの第2の不純物拡散領域12に対応する位置に、層間絶縁膜80から窒化シリコン膜67までの積層構造を貫通するビアホールH₅を形成する。繰り返し単位/Uの第2のサーチトランジスタP bのゲート電極14に対応する位置に、層間絶縁膜80から酸化シリコン膜60までの積層構造を貫通するビアホールH₆を形成する。

【0067】

ビアホールH₃、H₅、及びH₆の内面及び層間絶縁膜80の上表面上に、チタニウム(T

10

20

30

40

50

i) 膜、チタニウムナイトライド (TiN) 膜、及びタングステン (W) 膜を堆積させ、CMPを行う。これにより、ビアホールH₃、H₅、及びH₆内に埋め込まれた導電性プラグが形成される。

【0068】

図7に示すように、層間絶縁膜80の上に、ビットラインBL及び孤立導電膜23を含む第1層目の配線層を形成する。その上に、補助ワードラインWLA、グランドラインGND、及びマッチラインMLを含む第2層目の配線層を形成する。その上に、データバスラインDB及び反転データバスライン/DBを含む第3層目の配線層を形成する。

【0069】

各配線層の配線は、基板側から順番に厚さ10nmのTi膜、厚さ60nmのTiN膜、厚さ400nmのAlCu合金膜、厚さ5nmのTi膜、及び厚さ70nmのTiN膜が積層された5層構造を有する。また、配線層間の層間絶縁膜は、プラズマCVDにより堆積された酸化シリコンで形成され、その各々の厚さは750nmである。

【0070】

上記第1の実施例では、ビットラインBL、反転ビットライン/BL、データバスラインDB、反転データバスライン/DB、マッチラインML、及びグランドラインGNDが、キャパシタの配置された層よりも上の金属配線層に配置されている。図18に示した従来例のように、ビットラインBLやマッチラインMLがキャパシタの配置された層よりも下のシリコンの配線層で形成されている場合に比べて、配線の電気抵抗を小さくすることができる。また、集積度を高めることが可能になる。

【0071】

また、上記第1の実施例では、図2(A)に示したように、第1のサーチトランジスタQaの第1の不純物拡散領域9、ゲート電極6、第2の不純物拡散領域10、第2のサーチトランジスタPaの第1の不純物拡散領域11、ゲート電極5、及び第2の不純物拡散領域12が、この順番に行方向に沿って並んでいる。メモリセルトランジスタTaの第1の不純物拡散領域7、ゲート電極(ワードラインWL)、第2の不純物拡散領域8、及び第2のサーチトランジスタPaのゲート電極5が、この順番に列方向に沿って並んでいる。

【0072】

第1のサーチトランジスタQaは、メモリセルトランジスタTaと第2のサーチトランジスタPaとを結ぶ列方向の仮想直線の脇に配置されている。そのゲート電極は、列方向に関して、メモリセルトランジスタTaの第2の不純物拡散領域8と重なる位置まで延在している。

【0073】

第1のサーチトランジスタQaとメモリセルトランジスタTaとが、列方向に延在する1本の仮想直線上に配置された構成(比較例)にすると、蓄積電極15の形状を列方向に長くしなければならなくなる。これに対し、第1の実施例の配置にすることにより、蓄積電極15を行方向に長い形状にすることができる。このため、1つのCAMセルの列方向の長さを短くすることが可能になる。なお、第1の実施例及び比較例のいずれの場合にも、行方向に第1及び第2のサーチトランジスタが並ぶため、第1の実施例の構成にしても、行方向に関してCAMセルの長さは変わらない。このため、CAMセルの面積を小さくすることができる。

【0074】

また、第1の実施例では、図7に示すように、メモリセルトランジスタTaのゲート電極(ワードラインWL)の上に、BPSG膜68と同じエッチング特性を有する酸化シリコン膜(ゲート上部膜)60が配置されている。ワードラインWLとゲート上部膜60との側面を、窒化シリコンからなるサイドウォールスペーサが覆っている。このサイドウォールスペーサが、ビアホールH₄の内面の一部を画定している。ゲート上部膜60の上には、窒化シリコン膜(ゲート保護膜)60、67が配置されている。

【0075】

BPSG膜68とはエッチング特性の異なるサイドウォールスペーサ及びゲート保護膜6

10

20

30

40

50

0、67が、図5(D)に示した工程でビアホールH₄を形成する時にゲート電極(ワードラインWL)を保護する。また、図5(E)に示した工程で、窒化シリコン膜62及び67を異方性エッチングする時に、ゲート上部膜60がゲート電極(ワードラインWL)を保護する。

【0076】

このように、ビアホールH₄がワードラインWLに対して自己整合的に形成される。このため、ワードラインWLとビアホールH₄との間に位置あわせ余裕を確保しなくてもよい。これにより、集積度を高めることができる。

【0077】

次に、図8～図10を参照して、第2の実施例によるCAMについて説明する。

10

図8(A)に、第1層目の金属配線層のパターンを示す。この配線層よりも下の層の構成は、図2(A)に示した第1の実施例によるCAMの構成と同様である。

【0078】

補助ワードラインWLA及びマッチラインMLが、CAMセル領域1内を行方向に通過する。補助ワードラインWLAは、図2(A)に示したワードラインWLと重なる位置に配置されている。マッチラインMLは、ワードラインWLと、活性領域2との間に配置されている。

【0079】

マッチラインMLから分岐した分岐部MLBが、ビアホールH₂内を経由して第1のサーチトランジスタQaの第1の不純物拡散領域9に接続されている。同様に、ビアホールH₉内を経由して、図2(A)に示した繰り返し単位/Uの第1のサーチトランジスタQbの第1の不純物拡散領域に接続されている。

20

【0080】

ビアホールH₁から行方向にずれた位置に、上層配線と接続するためのビアホールH₂₁が配置されている。孤立導電膜90が、ビアホールH₁とH₂₁とを接続する。ビアホールH₅の位置に、孤立導電膜91、及び孤立導電膜91を上層配線に接続するためのビアホールH₂₃が配置されている。ビアホールH₃の位置に、孤立導電膜92、及び孤立導電膜92を上層配線に接続するためのビアホールH₂₄が配置されている。

【0081】

繰り返し単位/U内に、線対称なパターンが形成されている。例えば、繰り返し単位/U内のビアホールH₂₁及びH₂₄の対称の位置に、それぞれビアホールH₂₂及びH₂₅が配置されている。

30

【0082】

図8(B)に、第2層目の金属配線層のパターンを示す。列方向に延在するデータバスラインDB及び反転データバスライン/DBが、CAMセル領域1内を通過する。データバスラインDBは、ビアホールH₂₁内、図8(A)に示した孤立導電膜90、及びビアホールH₁内を経由して、図2(A)に示した第1のサーチトランジスタQaの第1の不純物拡散領域9に接続されている。反転データバスライン/DBは、同様に図2(A)に示した繰り返し単位/U内の第1のサーチトランジスタQbの第1の不純物拡散領域に接続されている。

40

【0083】

ビアホールH₂₃の位置に、孤立導電膜95、及び孤立導電膜95を上層配線に接続するためのビアホールH₃₁が配置されている。ビアホールH₂₄の位置に、孤立導電膜96、及び孤立導電膜96を上層配線に接続するためのビアホールH₃₂が配置されている。繰り返し単位/U内においても、ビアホールH₂₅の位置に、孤立導電膜、及びビアホールH₃₃が配置されている。

【0084】

図9(C)に、第3層目の金属配線層のパターンを示す。グラウンドラインGNDがCAMセル領域1内を行方向に通過する。グラウンドラインGNDは、ビアホールH₃₁内、図8(B)に示した孤立導電膜95、ビアホールH₂₃内、図8(A)に示した孤立導電膜9

50

1、及びビアホールH₅内を経由して図2(A)に示した第2のサーチトランジスタP_aの第2の不純物拡散領域12に接続されている。

【0085】

ビアホールH₃₂の位置に、孤立導電膜100、及び孤立導電膜100を上層配線に接続するためのビアホールH₄₁が配置されている。繰り返し単位/U内においても同様にビアホールH₃₃の位置に、孤立導電膜とビアホールH₄₂が配置されている。

【0086】

図9(D)に、第4層目の金属配線層のパターンを示す。ビットラインBL及び反転ビットライン/BLが、CAMセル領域1内を列方向に通過している。ビットラインBLは、ビアホールH₄₁内、図9(C)に示した孤立導電膜100、ビアホールH₃₂内、図8(B)に示した孤立導電膜96、ビアホールH₂₄内、図8(A)に示した孤立導電膜92、及びビアホールH₃内を経由して図2(A)に示したメモリセルトランジスタT_aの第1の不純物拡散領域7に接続されている。反転ビットライン/BLも同様に、ビアホールH₄₂内等を経由して図2(A)に示した繰り返し単位/U内のメモリセルトランジスタT_bの第1の不純物拡散領域に接続されている。

【0087】

図10に、第2の実施例によるCAMの断面図を示す。図10の断面図は、図2(A)の一点鎖線A4-A4における断面図に相当する。層間絶縁膜80の上に、補助ワードラインWLA、マッチラインML、孤立導電膜91、92等を含む第1層目の金属配線層が形成されている。その上に、層間絶縁膜を介して、データバスラインDB、孤立導電膜95、96等を含む第2層目の金属配線層が配置されている。

【0088】

その上に、層間絶縁膜を介して、グランドラインGND、孤立導電膜100等を含む第3層目の金属配線層が配置されている。その上に、層間絶縁膜を介して、ビットラインBL、反転ビットライン/BLを含む第4層目の金属配線層が配置されている。

【0089】

上記第2の実施例では、ビットラインBL及び反転ビットライン/BLが、マッチラインML、データバスラインDB、反転データバスライン/DB、及びグランドラインGNDのいずれの配線よりも上の配線層に配置されている。図2(A)に示したように、第2のサーチトランジスタP_a及びP_bが配置された領域の近傍に、ビアホールH₁、H₅、H₆等が密集している。第1の実施例のようにビットラインBLを第1層目の配線層に配置すると、図2(B)に示すように、ビットラインBLを、ビアホールH₁、H₅、及びH₆の密集する領域を避けて配置しなければならない。このため、1つのCAMセル領域1内に、ビアホールH₂、ビットラインBL、ビアホールH₁、H₆、及び反転ビットライン/BLの5つのパターンを、相互に重ねることなく行方向に配列させなければならない。これらのパターンの間には、位置合わせ余裕分の間隔を確保しなければならない。

【0090】

これに対し、第2の実施例の第1層目の配線層では、図8(A)に示したように、ビアホールH₂₁をビアホールH₁から行方向にずらせているが、ビアホールH₂₁をビアホールH₁の直上に配置してもよい。この場合には、ビアホールH₂、H₁、H₆の3つのパターンを行方向に配列させればよい。

【0091】

また、第2層目の配線層では、図8(B)に示したように、データバスラインDB、ビアホールH₂₄、H₂₅、及び反転データバスライン/DBの4つのパターンを行方向に配列させればよい。第3及び第4層目の配線層においては、2つのパターンのみを行方向に配列させればよい。このように、第2の実施例の場合には、CAMセル領域1内に、行方向に配列させるべき最大のパターン数は4である。

【0092】

第2の実施例の配線構造を採用すると、第1の実施例の配線構造を採用した場合に比べて、配線層の数を1層分増やさなければならないが、CAMセル領域1の行方向の長さを短

10

20

30

40

50

くすることが可能になる。特に、第1の実施例の図2(B)に示した第1層目の配線ピッチがCAMセル領域1の行方向の長さを決めている場合に、第2の実施例が有効である。また、周辺回路において4層の金属配線層が採用されている場合には、第2の実施例の配線構造を採用することによる配線層数の実質的な増加はない。

【0093】

次に、図11～図13を参照して、第3の実施例によるCAMの製造方法について説明する。第3の実施例によるCAMの等価回路は、図1(A)に示した第1の実施例の等価回路と同一である。また、半導体基板表面上の各トランジスタ及びキャパシタの配置も、図2(A)に示した第1の実施例の配置と同様である。図11～図13の各図は、図2(A)の一点鎖線A4-A4における断面図に相当する。

10

【0094】

図11(A)に示すように、シリコンからなる半導体基板50の表層部に、STIにより素子分離絶縁領域51を形成する。素子分離絶縁領域51により、メモリセルトランジスタ用の活性領域3a及びサーチトランジスタ用の活性領域2が画定される。必要なウェルを形成し、閾値電圧制御のためのイオン注入を行う。

【0095】

活性領域3aの表面上に、酸化シリコンからなる厚さ8nmのゲート絶縁膜105を形成するとともに、もう一方の活性領域2の表面上に酸化シリコンからなる厚さ4nmのゲート絶縁膜106を形成する。

【0096】

ゲート絶縁膜105及び106を覆うように、基板全面上に、ゲート電極となる厚さ180nmの多結晶シリコン膜108をCVDにより形成する。メモリセルトランジスタが配置される活性領域3a上の多結晶シリコン膜108にリン(P)を注入する。多結晶シリコン膜108の上に、厚さ170nmの酸化シリコン膜109をCVDにより形成する。

20

【0097】

図11(B)に示すように、酸化シリコン膜109を部分的にエッチングし、メモリセルトランジスタが配置される活性領域3aの上にのみ酸化シリコン膜109を残す。

【0098】

図11(C)に示すように、ゲート絶縁膜105、106、多結晶シリコン膜108、及び酸化シリコン膜109をパターニングし、メモリセルトランジスタTaのゲート電極(ワードラインWL)、第1のサーチトランジスタQaのゲート電極111、及び第2のサーチトランジスタPaのゲート電極110を残す。なお、図の右端の素子分離絶縁領域51の上に、繰り返し単位/Uの第2のサーチトランジスタPbのゲート電極112が示されている。ワードラインWLの上には、酸化シリコン膜109が残っている。

30

【0099】

基板表層部にイオン注入を行い、メモリセルトランジスタTaのソース及びドレインになる第1の不純物拡散領域115及び第2の不純物拡散領域116、及びサーチトランジスタPa、Qaのソース及びドレインのエクステンション部117を形成する。

【0100】

図12(D)に示すように、基板全面上に厚さ60nmの窒化シリコン膜を堆積させた後、活性領域3aに対応する領域をレジストパターンで覆って異方性エッチングする。活性領域3aの上に、窒化シリコン膜120が残り、サーチトランジスタQa、Pa、Pbのゲート電極111、110、112の側面上に窒化シリコンからなるサイドウォールスペーサ121が残る。

40

【0101】

基板表層部にイオン注入を行い、第2のサーチトランジスタPaのソース及びドレインになる第1の不純物拡散領域118及び第2の不純物拡散領域119を形成する。図12(D)には現れていないが、第1のサーチトランジスタQaのソース及びドレイン領域も同時に形成される。

【0102】

50

サーチトランジスタ P a、Q a のソース及びドレイン領域上、ゲート電極上に、例えばコバルトシリサイドからなる金属シリサイド膜 1 2 5 を形成する。活性領域 3 a の上は窒化シリコン膜 1 2 0 で覆われているため、メモリセルトランジスタ T a のソース及びドレイン領域の上、及びワードライン W L の上には金属シリサイド膜が形成されない。

【0103】

図 1 2 (E) に示すように、基板全面上に厚さ 2 5 n m の窒化シリコン膜 1 2 8 を堆積させる。窒化シリコン膜 1 2 8 の上に、B P S G 膜の堆積、リフロー、及び C M P を行うことにより、厚さ 7 0 0 n m の B P S G 膜 1 2 9 を形成する。

【0104】

図 1 2 (F) に示すように、メモリセルトランジスタ T a の第 1 の不純物拡散領域 1 1 5 を露出させるビアホール H_{5 1}、及び第 2 の不純物拡散領域 1 1 6 と第 1 のサーチトランジスタ Q a のゲート電極 1 1 1 の上面の一部を露出させるビアホール H_{5 2} を形成する。ビアホール H_{5 1} 及び H_{5 2} は、B P S G 膜 1 2 9 を貫通する穴を形成した後、その穴の内面に露出した窒化シリコン膜 1 2 8 と 1 2 0 とを異方性エッチングすることにより形成される。

【0105】

図 1 3 (G) に示すように、ビアホール H_{5 1} 及び H_{5 2} 内に、不純物がドーブされたアモルファスシリコンからなる導電性プラグを埋め込む。ビアホール H_{5 2} 内に埋め込まれた導電性プラグは、メモリセルトランジスタ T a の第 2 の不純物拡散領域 1 1 6 及び第 1 のサーチトランジスタ Q a のゲート電極 1 1 1 の双方に電気的に接続される。第 1 のサーチトランジスタ Q a のゲート電極 1 1 1 の上面のうち、ビアホール H_{5 2} 内に埋め込まれた導電性プラグに接する領域に隣接した一部の領域上には、窒化シリコン膜 1 2 0 が残っている。

【0106】

B P S G 膜 1 2 9 の上に、B P S G 膜を堆積させてリフロー処理を行うことにより、厚さ 1 2 0 0 n m の層間絶縁膜 1 3 0 を形成する。ビアホール H_{5 2} の少なくとも一部と重なる位置に、層間絶縁膜 1 3 0 を貫通するキャパシタ用ホール 1 3 1 を形成する。キャパシタ用ホール 1 3 1 の底面に、ビアホール H_{5 2} 内に埋め込まれた導電性プラグの上面が露出する。キャパシタ用ホール 1 3 1 は、ワードライン W L やゲート電極 1 1 1 の上面までは達しない。

【0107】

図 1 3 (H) に示すように、キャパシタ用ホール 1 3 1 の配置された位置に、蓄積電極 1 3 5、キャパシタ誘電体膜、及びプレート電極 1 3 6 からなるキャパシタを形成する。層間絶縁膜 1 3 0 の上に、酸化シリコンからなる厚さ 5 0 0 n m の層間絶縁膜 1 3 8 を形成する。

【0108】

ビアホール H_{5 1} に対応する位置に、層間絶縁膜 1 3 8 及び 1 3 0 を貫通するビアホール H_{5 5} を形成する。第 2 のサーチトランジスタ P a の第 2 の不純物拡散領域 1 1 9 に対応する位置に、第 2 の不純物拡散領域 1 1 9 上の金属シリサイド膜 1 2 5 を露出させるビアホール H_{5 6} を形成する。さらに、繰り返し単位 / U 内の第 2 のサーチトランジスタ T b のゲート電極 1 1 2 の上面を露出させるビアホール H_{5 7} を形成する。ビアホール H_{5 5}、H_{5 6}、及び H_{5 7} 内に導電性プラグを埋め込む。

【0109】

層間絶縁膜 1 3 8 よりも上に金属配線層の構成は、第 1 または第 2 の実施例の構成と同様である。

図 1 4 に、第 3 の実施例による C A M セルの一部分の平面図を示す。蓄積電極 1 3 5 の一部が、ワードライン W L に重なっている。図 1 3 (H) に示したように、キャパシタ用ホール 1 3 1 がワードライン W L の上面まで達しない。このような構成にしたことにより、蓄積電極 1 3 5 をワードライン W L に重ねることが可能になる。蓄積電極 1 3 5 の占める領域を広くすることができるため、キャパシタの容量を大きくすることが可能になる。

【0110】

図14では、第1のサーチトランジスタQaのゲート電極111の外周の一部が、メモリセルトランジスタTaの第2の不純物拡散領域116の外周の一部と一致している場合を示した。ゲート電極111が第2の不純物拡散領域116と部分的に重なるような構成にしてもよい。

【0111】

第3の実施例の場合にも、第1の実施例の場合と同様に、ワードラインWLに対してビアホールH₅₂を自己整合的に形成することができる。また、第3の実施例の場合には、サーチトランジスタPa及びQaのゲート電極110及び11の上面に金属シリサイド膜125を形成することができる。

10

【0112】

次に、図15及び図16を参照して、第4の実施例によるCAMの製造方法について説明する。

図15(A)に示すBPSC膜68よりも下の層の構造は、図5(F)に示した第1の実施例のBPSC膜68よりも下の層の構造と同じである。図15(A)の各構成部分には、図5(F)の対応する構成部分に付された参照符号と同一の参照符号が付されている。

【0113】

図15(B)に示すように、BPSC膜68の上に、厚さ200nmのBPSC膜140を形成する。BPSC膜140に、ビアホールH₄内に埋め込まれた導電性プラグの上面まで達するビアホールH₆₁を形成する。さらに、第1のサーチトランジスタQaのゲート電極6の上面まで達するビアホールH₆₂を形成する。

20

【0114】

図16に示すように、ビアホールH₆₁及びH₆₂内に、不純物がドーピングされたアモルファスシリコンからなる導電性プラグを埋め込む。BPSC膜140の上に、厚さ1200nmのBPSC膜141を、CVD、リフロー、及びCMPを行うことにより形成する。

【0115】

ビアホールH₆₁及びH₆₂の双方に重なる位置に、BPSC膜141を貫通するキャパシタ用ホール145を形成する。キャパシタ用ホール145が形成された位置に、蓄積電極146、キャパシタ誘電体膜、及びプレート電極147からなるキャパシタを形成する。

30

【0116】

BPSC膜141の上に、酸化シリコンからなる厚さ500nmの層間絶縁膜150を形成する。図6(H)に示した第1の実施例のビアホールH₃、H₅及びH₆に相当するビアホールを形成する。層間絶縁膜150よりも上の金属配線層の構成は、第1の実施例の場合と同様である。

【0117】

図17に、第4の実施例によるCAMセルの一部の平面図を示す。第3の実施例の場合と同様に、蓄積電極146の一部がワードラインWLと重なっている。これにより、キャパシタの容量を大きくすることができる。

【0118】

第3の実施例の場合には、図11(B)及び(C)に示したように、ゲート電極のパターニング時に、基板表面に段差が形成されている。これに対し、第4の実施例の場合には、ゲート電極のパターニング時に、基板表面が平坦である。このため、微細なゲートパターンを形成する場合に特に有効である。

40

【0119】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0120】

上記実施例から、以下の付記に記載された発明が導出される。

(付記1) 半導体基板の表面上に、相互に交差する第1及び第2の方向に規則的に配置

50

された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第1のサーチトランジスタ、第2のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第1及び第2の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第1のサーチトランジスタと第2のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第2の不純物拡散領域が該キャパシタの蓄積電極及び該第1のサーチトランジスタのゲート電極に接続された前記セルと、

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に1つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第1の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に1つのセルが対応し、対応するセルの第2のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第1の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第2の端子に接地電圧を印加するグラウンドラインとを有し、

前記ビットライン、データバスライン、マッチライン、及びグラウンドラインが、前記キャパシタの配置された層よりも上の配線層に配置されている半導体装置。

【0121】

(付記2) 前記ビットライン、データバスライン、マッチライン、及びグラウンドラインが、金属で形成されている付記1に記載の半導体装置。

(付記3) 前記第2のサーチトランジスタの第1の不純物拡散領域、ゲート電極、及び第2の不純物拡散領域が、この順番に第1の方向に沿って並び、前記メモリセルトランジスタの第1の不純物拡散領域、ゲート電極、及び第2の不純物拡散領域、前記第2のサーチトランジスタのゲート電極が、第2の方向に沿ってこの順番に並び、前記第1のサーチトランジスタのゲート電極が、第2の方向に関して、前記メモリセルトランジスタの第2の不純物拡散領域と重なる位置まで延在している付記1または2に記載の半導体装置。

【0122】

(付記4) 前記ビットラインが、前記キャパシタが配置された層よりも1つ上の配線層に配置され、前記第1及び第2のサーチトランジスタが、前記第1の方向に延在する第1の活性領域内に配置され、該第1及び第2のサーチトランジスタのゲート電極の各々が該第1の活性領域と交差し、前記ビットラインが、前記第1のサーチトランジスタのゲート電極と前記第1の活性領域との交差箇所と重なる位置で前期第1の活性領域と交差している付記3に記載の半導体装置。

【0123】

(付記5) 前記ビットラインが、前記マッチライン、データバスライン、及びグラウンドラインのいずれよりも上の配線層に配置されている付記1～3のいずれかに記載の半導体装置。

【0124】

(付記6) さらに、前記第1及び第2のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記メモリセルトランジスタの第2の不純物拡散領域まで達する第1のビアホールと、

前記第1のビアホール内に埋め込まれた第1の導電性部材と、

前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記半導体基板の表面の法線に平行な視線で見たとき、前記第1の導電性部材及び前記第1のサーチトランジスタのゲート電極に重なり、該第1の導電性部材と重なる領域においては、前記第2の層間絶縁膜を貫通して該第1の導電性部材の上面まで達し、該第1のサーチトランジスタのゲート電極と重なる領域においては、前記第2の層間絶縁膜及び前記

10

20

30

40

50

第 1 の層間絶縁膜を貫通し、前記第 1 のサーチトランジスタのゲート電極の上面まで達するキャパシタ用ホールとを含み、

前記キャパシタが、

前記キャパシタ用ホールの内面を覆い、前記第 1 の導電性部材と前記第 1 のサーチトランジスタのゲート電極との双方に接続された蓄積電極と、

前記蓄積電極の表面を覆うキャパシタ誘電体膜と、

前記キャパシタ誘電体膜を介して、前記蓄積電極とともに前記キャパシタを構成するプレート電極と

を含む付記 1 ～ 5 のいずれかに記載の半導体装置。

【0125】

(付記 7) さらに、

前記メモリセルトランジスタのゲート電極の上、及び前記第 1 のサーチトランジスタのゲート電極の上に配置され、前記第 1 の層間絶縁膜と同じエッチング特性を有するゲート上部膜と、

前記メモリセルトランジスタのゲート電極とその上のゲート上部膜の側面を覆い、前記第 1 の層間絶縁膜とは異なるエッチング特性を有する絶縁材料で形成され、前記第 1 のビアホールの側面の一部を画定する第 1 のサイドウォールスペーサと、

前記メモリセルトランジスタのゲート電極上の前記ゲート上部膜と前記第 1 の層間絶縁膜との間に配置され、前記第 1 のサイドウォールスペーサと同じ材料で形成されたゲート保護膜と

を有し、前記キャパシタ用ホールが、前記第 1 のサーチトランジスタのゲート電極上のゲート上部膜を貫通し、ゲート電極まで達している付記 6 に記載の半導体装置。

【0126】

(付記 8) さらに、前記第 1 及び第 2 のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜を貫通し、前記半導体基板の表面の法線に平行な視線で見たとき、

前記メモリセルトランジスタの第 2 の不純物拡散領域及び前記第 1 のサーチトランジスタのゲート電極に重なり、前記メモリセルトランジスタの第 2 の不純物拡散領域及び前記第 1 のサーチトランジスタのゲート電極まで達する第 1 のビアホールと、

前記第 1 のビアホール内に埋め込まれた第 1 の導電性部材と

を含み、前記キャパシタが、前記第 1 の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第 1 の導電性部材に接続されている付記 1 ～ 5 のいずれかに記載の半導体装置

【0127】

(付記 9) 前記ワードラインが、前記メモリセルトランジスタのゲート電極を延在して構成され、

さらに、

前記第 1 の層間絶縁膜の上に形成された第 2 の層間絶縁膜と、

前記半導体基板の表面の法線に平行な視線で見たとき、前記第 1 の導電性部材及び前記ワードラインに重なり、該第 1 の導電性部材の上面まで達し、前記第 1 の層間絶縁膜は貫通しないキャパシタ用ホールと

を含み、

前記キャパシタが、

前記キャパシタ用ホールの内面を覆い、前記第 1 の導電性部材及び前記第 1 のサーチトランジスタのゲート電極に接続された蓄積電極と、

前記蓄積電極の表面を覆うキャパシタ誘電体膜と、

前記キャパシタ誘電体膜を介して、前記蓄積電極とともに前記キャパシタを構成するプレート電極と

を含む付記 8 に記載の半導体装置。

【0128】

10

20

30

40

50

(付記 10) さらに、

前記メモリセルトランジスタのゲート電極の上面上に配置され、絶縁材料からなるゲート上部膜と、

前記ゲート上部膜の上面と、前記第 1 の層間絶縁膜との間に配置され、前記第 1 の層間絶縁膜とは異なるエッチング特性を有する絶縁材料で形成された第 1 の保護膜と、

前記メモリセルトランジスタのゲート電極及びゲート上部膜の側面、及び前記第 1 のサーチトランジスタのゲート電極の側面を覆い、前記第 1 の保護膜と同一材料で形成され、前記第 1 のビアホールを画定するサイドウォールスペースと、

前記第 1 のサーチトランジスタのゲート電極の上面のうち前記第 1 の導電性部材に接する領域に隣接した一部の領域を覆い、前記第 1 の保護膜と同一の材料で形成された第 2 の保護膜と

10

を有する付記 8 または 9 に記載の半導体装置。

【0129】

(付記 11) さらに、

前記メモリセルトランジスタのゲート電極の上面上、及び前記第 1 のサーチトランジスタのゲート電極の上面上に配置され、絶縁材料で形成されたゲート上部膜と、

前記メモリセルトランジスタのゲート電極の側面とその上のゲート上部膜の側面、及び前記第 1 のサーチトランジスタのゲート電極とその上のゲート上部膜の側面を覆い、前記ゲート上部膜とはエッチング特性の異なる絶縁材料で形成されたサイドウォールスペースと

20

、前記第 1 及び第 2 のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜を貫通し、前記メモリセルトランジスタの第 2 の不純物拡散領域まで達し、側面の一部が前記サイドウォールスペースで画定された第 1 のビアホールと、

前記第 1 のビアホール内に埋め込まれた第 1 の導電性部材と、

前記第 1 の層間絶縁膜の上に形成された第 2 の層間絶縁膜と、

前記第 2 の層間絶縁膜を貫通し、前記第 1 の導電性部材の上面まで達する第 2 のビアホールと、

前記第 2 の層間絶縁膜、前記第 1 の層間絶縁膜、及び前記第 1 のサーチトランジスタのゲート電極上のゲート上部膜を貫通し、該第 1 のサーチトランジスタのゲート電極まで達する第 3 のビアホールと、

30

前記第 2 のビアホール内に埋め込まれた第 2 の導電性部材と、

前記第 3 のビアホール内に埋め込まれた第 3 の導電性部材と

を含み、前記キャパシタが前記第 2 の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第 2 の導電性部材及び第 3 の導電性部材に接触する付記 1 ～ 5 のいずれかに記載の半導体装置。

【0130】

(付記 12) 半導体基板の表面上に、相互に交差する第 1 及び第 2 の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第 1 のサーチトランジスタ、第 2 のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第 1 及び第 2 の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第 1 のサーチトランジスタと第 2 のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第 2 の不純物拡散領域が該キャパシタの蓄積電極及び該第 1 のサーチトランジスタのゲート電極に接続された前記セルと、

40

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に 1 つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第 1 の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバ

50

スラインとマッチラインとの交差箇所に 1 つのセルが対応し、対応するセルの第 2 のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第 1 の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第 2 の端子に接地電圧を印加するグランドラインと前記第 1 及び第 2 のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜を貫通し、前記メモリセルトランジスタの第 2 の不純物拡散領域まで達する第 1 のビアホールと、

前記第 1 のビアホール内に埋め込まれた第 1 の導電性部材と、

前記第 1 の層間絶縁膜の上に形成された第 2 の層間絶縁膜と、

前記半導体基板の表面の法線に平行な視線で見たと、前記第 1 の導電性部材及び前記第 1 のサーチトランジスタのゲート電極に部分的に重なり、該第 1 の導電性部材と重なる領域においては、前記第 2 の層間絶縁膜を貫通して該第 1 の導電性部材の上面まで達し、該第 1 のサーチトランジスタのゲート電極と重なる領域においては、前記第 2 の層間絶縁膜及び前記第 1 の層間絶縁膜を貫通し、前記第 1 のサーチトランジスタのゲート電極の上面まで達するキャパシタ用ホールとを有し、

前記キャパシタが、

前記キャパシタ用ホールの内面を覆い、前記第 1 の導電性部材及び前記第 1 のサーチトランジスタのゲート電極に接続された蓄積電極と、

前記蓄積電極の表面を覆うキャパシタ誘電体膜と、

前記キャパシタ誘電体膜を介して、前記蓄積電極とともに前記キャパシタを構成するプレート電極と

を含む半導体装置。

【0131】

(付記 13) 半導体基板の表面上に、相互に交差する第 1 及び第 2 の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第 1 のサーチトランジスタ、第 2 のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第 1 及び第 2 の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第 1 のサーチトランジスタと第 2 のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第 2 の不純物拡散領域が該キャパシタの蓄積電極及び該第 1 のサーチトランジスタのゲート電極に接続された前記セルと、

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に 1 つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第 1 の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に 1 つのセルが対応し、対応するセルの第 2 のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第 1 の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第 2 の端子に接地電圧を印加するグランドラインと前記第 1 及び第 2 のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜を貫通し、前記半導体基板の表面の法線に平行な視線で見たと、前記メモリセルトランジスタの第 2 の不純物拡散領域及び前記第 1 のサーチトランジスタのゲート電極に重なり、前記メモリセルトランジスタの第 2 の不純物拡散領域及び前記第 1 のサーチトランジスタのゲート電極まで達する第 1 のビアホールと、

前記第 1 のビアホール内に埋め込まれた第 1 の導電性部材と

を有し、前記キャパシタが、前記第 1 の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第 1 の導電性部材に接続されている半導体装置。

10

20

30

40

50

【0132】

(付記14) 前記ワードラインが、前記メモリセルトランジスタのゲート電極を延在して構成され、

さらに、前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記半導体基板の表面の法線に平行な視線で見たとき、前記第1の導電性部材及び前記ワードラインに重なり、該第1の導電性部材の上面まで達し、前記第1の層間絶縁膜は貫通しないキャパシタ用ホールと

を含み、

前記キャパシタが、

前記キャパシタ用ホールの内面を覆い、前記第1の導電性部材及び前記第1のサーチトランジスタのゲート電極に接続された蓄積電極と、

前記蓄積電極の表面を覆うキャパシタ誘電体膜と、

前記キャパシタ誘電体膜を介して、前記蓄積電極とともに前記キャパシタを構成するプレート電極と

を含む付記13に記載の半導体装置。

【0133】

(付記15) 半導体基板の表面上に、相互に交差する第1及び第2の方向に規則的に配置された複数のセルであって、該セルの各々が、メモリセルトランジスタ、第1のサーチトランジスタ、第2のサーチトランジスタ、及びキャパシタを含み、各トランジスタが、ゲート電極と、その両側に配置された第1及び第2の不純物拡散領域とを含み、該キャパシタが蓄積電極とプレート電極とを含み、該第1のサーチトランジスタと第2のサーチトランジスタとが相互に直列に接続されてサーチ回路を構成し、該メモリセルトランジスタの第2の不純物拡散領域が該キャパシタの蓄積電極及び該第1のサーチトランジスタのゲート電極に接続された前記セルと、

相互に交差するように配置されたワードラインとビットラインであって、該ワードラインとビットラインとの交差箇所に1つのセルが対応し、対応するセルのメモリセルトランジスタのゲート電極に接続されたワードラインと、対応するセルのメモリセルトランジスタの第1の不純物拡散領域に接続されたビットラインと、

相互に交差するように配置されたデータバスラインとマッチラインであって、該データバスラインとマッチラインとの交差箇所に1つのセルが対応し、対応するセルの第2のサーチトランジスタのゲート電極に接続されたデータバスラインと、対応するサーチ回路の一方の第1の端子に接続されたマッチラインと、

前記複数のセルのサーチ回路の他方の第2の端子に接地電圧を印加するグランドラインと前記メモリセルトランジスタのゲート電極の上面上、及び前記第1のサーチトランジスタのゲート電極の上面上に配置され、絶縁材料で形成されたゲート上部膜と、

前記メモリセルトランジスタのゲート電極の側面とその上のゲート上部膜の側面、及び前記第1のサーチトランジスタのゲート電極とその上のゲート上部膜の側面を覆い、前記ゲート上部膜とはエッチング特性の異なる絶縁材料で形成されたサイドウォールスペーサと

前記第1及び第2のサーチトランジスタ、前記メモリセルトランジスタのゲート電極を覆う第1の層間絶縁膜と、

前記第1の層間絶縁膜を貫通し、前記メモリセルトランジスタの第2の不純物拡散領域まで達し、側面の一部が前記サイドウォールスペーサで画定された第1のビアホールと、

前記第1のビアホール内に埋め込まれた第1の導電性部材と、

前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記第2の層間絶縁膜を貫通し、前記第1の導電性部材の上面まで達する第2のビアホールと、

前記第2の層間絶縁膜、前記第1の層間絶縁膜、及び前記第1のサーチトランジスタのゲート電極上のゲート上部膜を貫通し、該第1のサーチトランジスタのゲート電極まで達する第3のビアホールと、

10

20

30

40

50

前記第 2 のビアホール内に埋め込まれた第 2 の導電性部材と、
前記第 3 のビアホール内に埋め込まれた第 3 の導電性部材と
を含み、前記キャパシタが前記第 2 の層間絶縁膜の上に配置され、該キャパシタの蓄積電極が前記第 2 の導電性部材及び第 3 の導電性部材に接触する半導体装置。

【0134】

(付記 16) 前記ワードラインが、前記メモリセルトランジスタのゲート電極を延在して構成され、

さらに、前記第 2 の層間絶縁膜の上に形成された第 3 の層間絶縁膜と、

前記半導体基板の表面の法線に平行な視線で見たとき、前記第 2 の導電性部材、前記第 3 の導電性部材及び前記ワードラインに重なり、該第 2 及び第 3 の導電性部材の上面まで達し、前記第 2 の層間絶縁膜は貫通しないキャパシタ用ホールと

10

を含み、

前記キャパシタが、

前記キャパシタ用ホールの内面を覆い、前記第 1 の導電性部材及び前記第 1 のサーチトランジスタのゲート電極に接続された蓄積電極と、

前記蓄積電極の表面を覆うキャパシタ誘電体膜と、

前記キャパシタ誘電体膜を介して、前記蓄積電極とともに前記キャパシタを構成するプレート電極と

を含む付記 15 に記載の半導体装置。

【0135】

20

【発明の効果】

以上説明したように、本発明によれば、メモリ素子に D R A M を用いた C A M の集積度を高めることが可能になる。

【図面の簡単な説明】

【図 1】(A) は、本発明の実施例による C A M の等価回路図であり、(B) は、論理値表であり、(C) は、実施例の変形例の等価回路図である。

【図 2】(A) は、第 1 の実施例による C A M の金属配線層よりも下層のレイアウトを示す平面図であり、(B) は第 1 層目の金属配線層の平面図である。

【図 3】(A) は、第 1 の実施例による C A M の第 2 層目の金属配線層の平面図であり、(B) は、第 3 層目の金属配線層の平面図である。

30

【図 4】第 1 の実施例による C A M の製造方法を説明するための製造途中の基板の断面図(その 1)である。

【図 5】第 1 の実施例による C A M の製造方法を説明するための製造途中の基板の断面図(その 2)である。

【図 6】第 1 の実施例による C A M の製造方法を説明するための製造途中の基板の断面図(その 3)である。

【図 7】第 1 の実施例による C A M の断面図である。

【図 8】(A) は、第 1 層目の金属配線層の平面図であり、(B) は、第 2 層目の金属配線層の平面図である。

【図 9】(C) は、第 3 層目の金属配線層の平面図であり、(D) は、第 4 層目の金属配線層の平面図である。

40

【図 10】第 2 の実施例による C A M の断面図である。

【図 11】第 3 の実施例による C A M の製造方法を説明するための製造途中の基板の断面図(その 1)である。

【図 12】第 3 の実施例による C A M の製造方法を説明するための製造途中の基板の断面図(その 2)である。

【図 13】第 3 の実施例による C A M の製造方法を説明するための製造途中の基板の断面図(その 3)である。

【図 14】第 3 の実施例による C A M の金属配線層よりも下層の一部のレイアウトを示す平面図である。

50

【図15】第4の実施例によるCAMの製造方法を説明するための製造途中の基板の断面図（その1）である。

【図16】第4の実施例によるCAMの製造方法を説明するための製造途中の基板の断面図（その2）である。

【図17】第4の実施例によるCAMの金属配線層よりも下層の一部のレイアウトを示す平面図である。

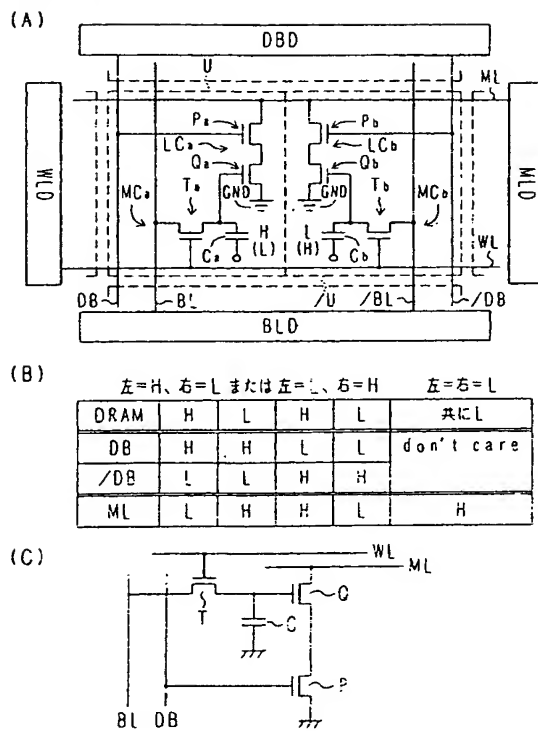
【図18】従来のCAMの一部の断面図である。

【符号の説明】

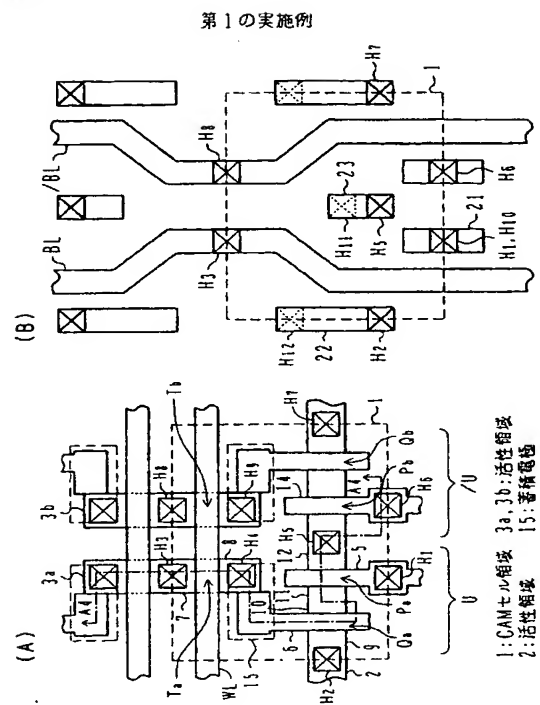
1	CAMセル領域	
2、3a、3b	活性領域	10
5、6、14	ゲート電極	
7、8、9、10、11、12	不純物拡散領域	
15	蓄積電極	
21、22、23、31	孤立導電膜	
50	半導体基板	
51	素子分離絶縁領域	
55、56	ゲート絶縁膜	
58	アモルファスシリコン膜	
59	タングステンシリサイド膜	
60	酸化シリコン膜	20
62、67	窒化シリコン膜	
63	サイドウォールスペーサ	
65	金属シリサイド膜	
68	BPSG膜	
70	レジスト膜	
72、80	層間絶縁膜	
75	キャパシタ用ホール	
76	キャパシタ誘電体膜	
77	プレート電極	
90、91、92、95、96、100	孤立導電膜	30
105、106	ゲート絶縁膜	
108	多結晶シリコン膜	
109	酸化シリコン膜	
110、111、112	ゲート電極	
115、116、118、119	不純物拡散領域	
117	エクステンション部	
120	窒化シリコン膜	
121	サイドウォールスペーサ	
125	金属シリサイド膜	
128	窒化シリコン膜	40
129	BPSG膜	
130	層間絶縁膜	
131	キャパシタ用ホール	
135	蓄積電極	
136	プレート電極	
138	層間絶縁膜	
140、141	BPSG膜	
145	キャパシタ用ホール	
146	蓄積電極	
147	プレート電極	50

150 層間絶縁膜

【図1】

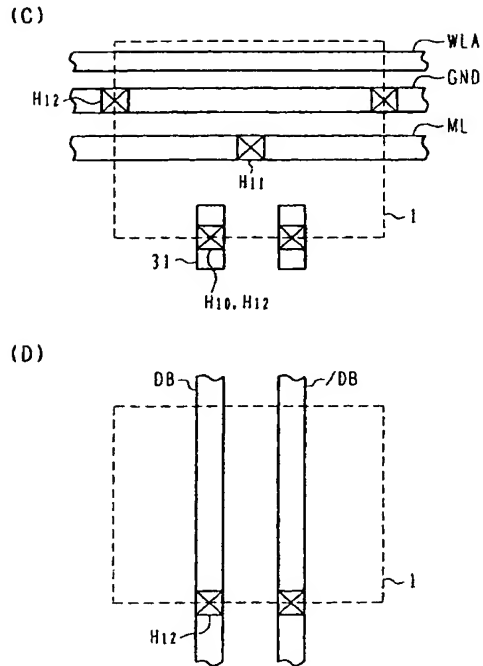


【図2】



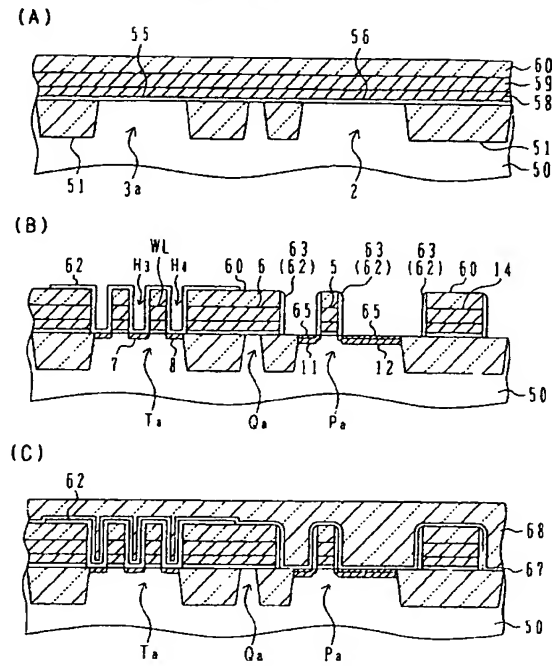
【図 3】

第1の実施例



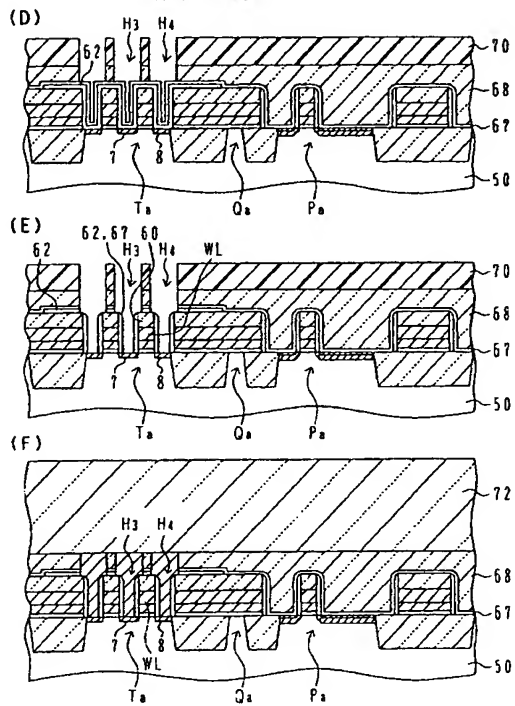
【図 4】

第1の実施例 (その1)



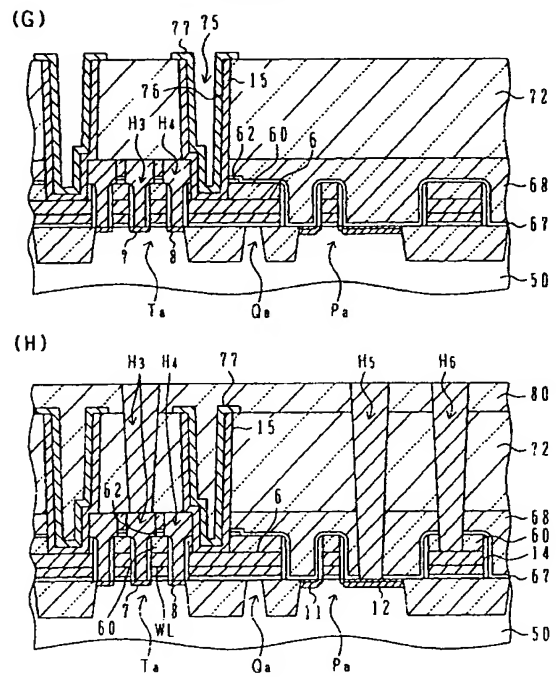
【図 5】

第1の実施例 (その2)



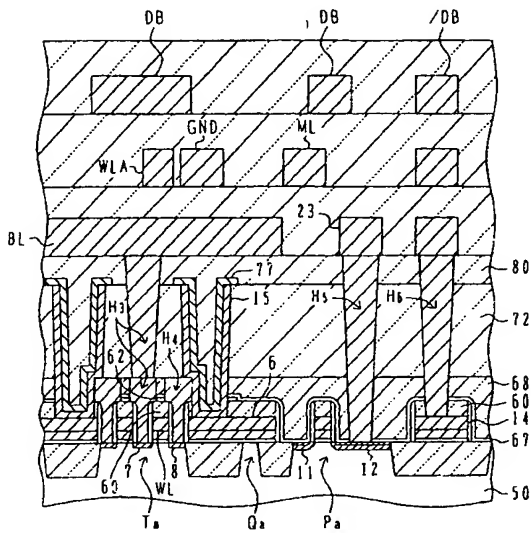
【図 6】

第1の実施例 (その3)



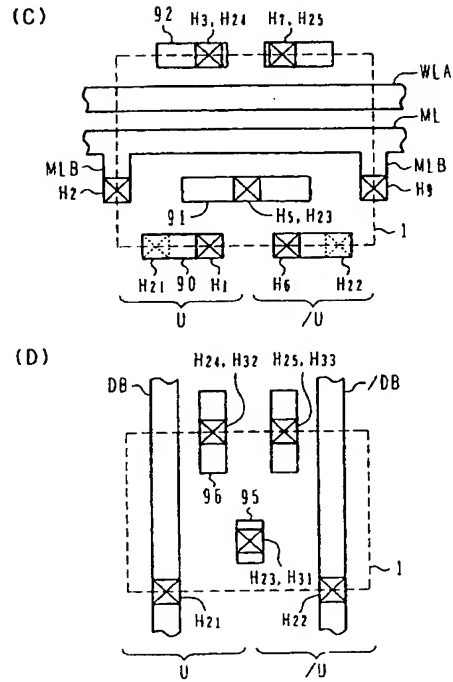
【図 7】

第1の実施例 (その4)



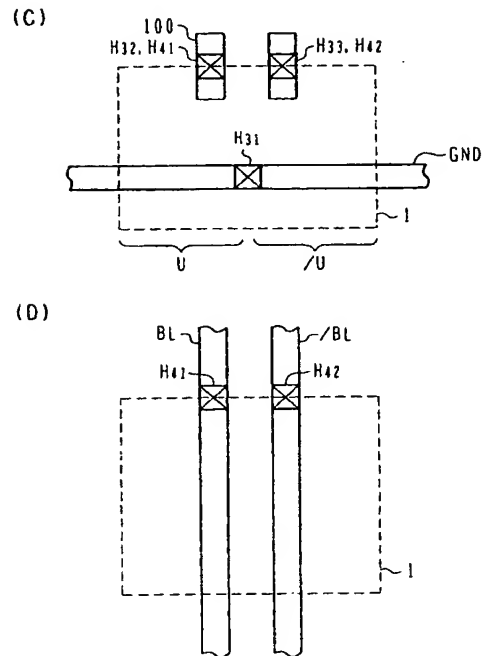
【図 8】

第2の実施例



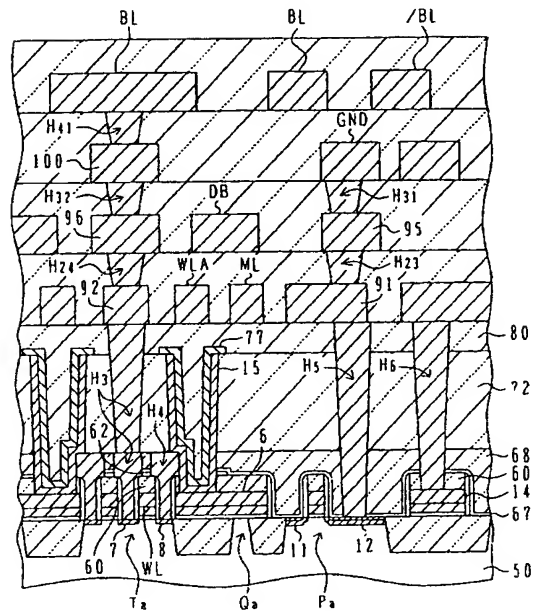
【図 9】

第2の実施例

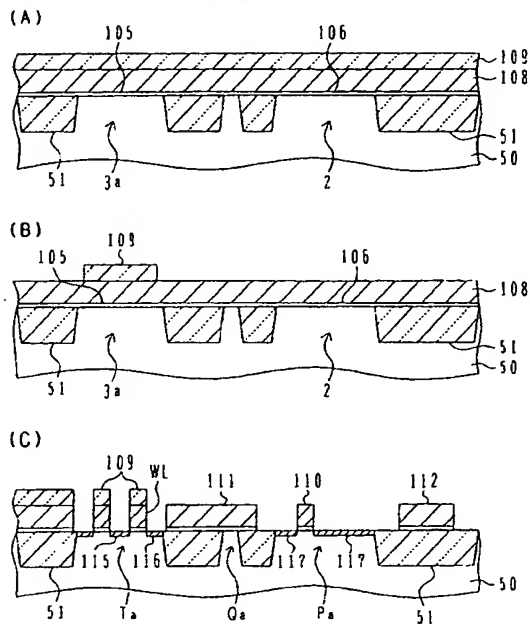


【図 10】

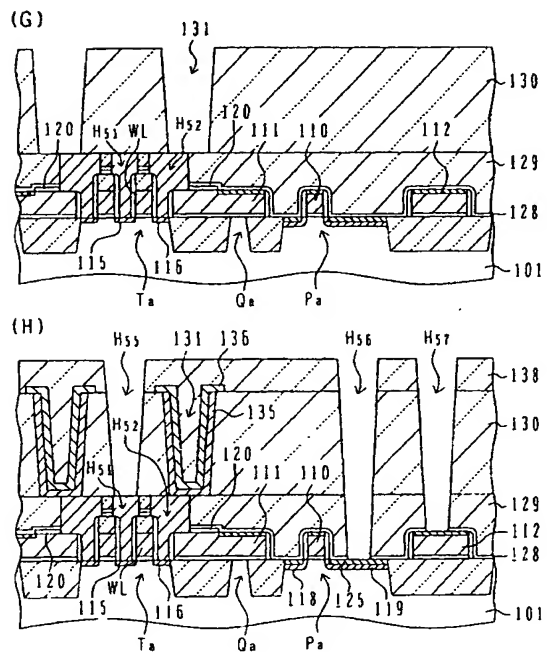
第2の実施例



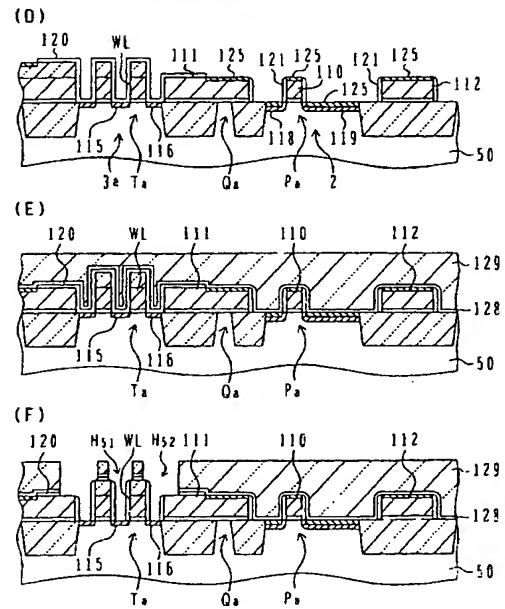
第3の実施例（その1）



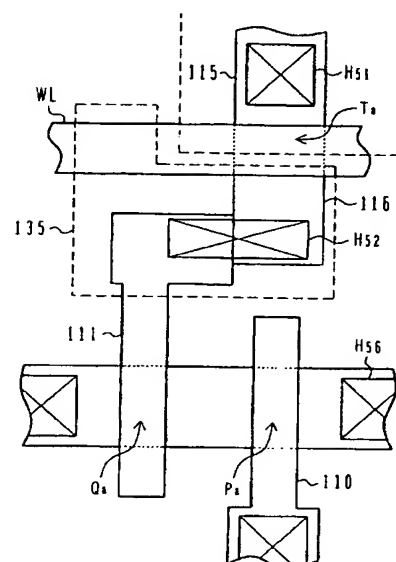
第3の実施例（その3）



第3の実施例（その2）



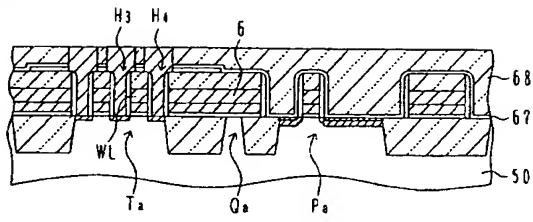
第3の実施例



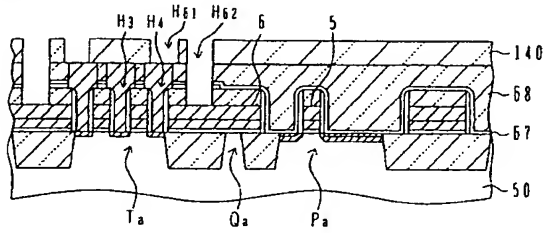
【図 15】

第4の実施例（その1）

(A)

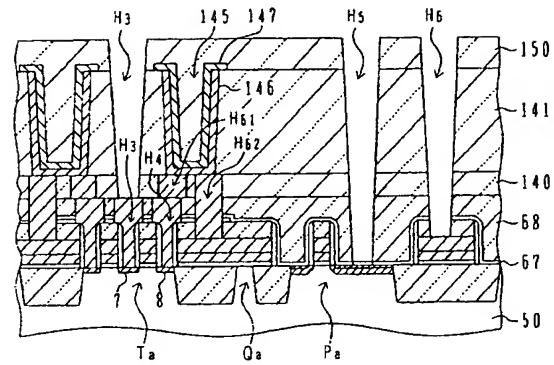


(B)



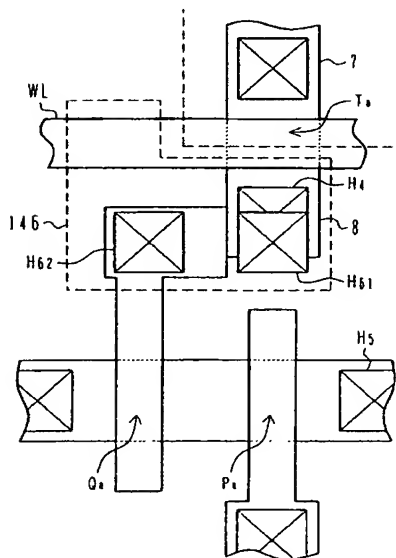
【図 16】

第4の実施例（その2）



【図 17】

第4の実施例



【図 18】

